

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.

Set Items Description

--- -----

?ss pn=11214312

S1 1 PN=11214312

?t s1/1/1

12/4/1

FN- DIALOG(R)File 347:JAPIO|

CZ- (c) 2000 JPO & JAPIO. All rts. reserv.)

TI- APPARATUS FOR MANUFACTURING SEMICONDUCTOR

PN- 11 -214312 -JP 11214312 A-

PD- August 06, 1999 (19990806)

AU- MATSUO HIROAKI

SA- SONY CORP

SI- 11-011497 -JP 9912497-

SD- January 26, 1998 (19980126)

SOIL-021/205; C20C-016/44; H01L-021/32; H01L-021/285

PROBLEM TO BE SOLVED: To prevent metal contamination within a reaction system using a gas having a characteristic to cause corrosion of a metal material, by covering the surface of a constituent part made of a metal material, of constituent parts to be in contact with the gas having a characteristic to cause corrosion of a metal material, with a covering part made of an anticorrosive material. SOLUTION: A cover plate 115 as a covering part is applied to one end surface of a flange part 114a of a port flange 114 and an inner circumferential surface of a flange part 112a of a tube receiving flange 112. A cover plate 116 as a covering part is applied to one end surface of a setting part 114c of the port flange 114. The cover plates 115 and 116 are made of an anticorrosive material such as quartz or the like. Thus, generation of rust on the tube receiving flange 112, the port flange 114 and the like due to a halogen-based gas and a by-product thereof remaining after chemical reaction can be prevented. COPYRIGHT: (C)1999,JPO

?

?

?ss pn=(7118443 or 5182923 or 7099321 or 9017729 or 10149984 or 9148246 or 10116989 or 5090191 or 9007911 or 11017185)

S2 1 PN=7118443

S3 1 PN=5182923

S4 1 PN=7099321

S5 1 PN=9017729

S6 1 PN=10149984

S7 1 PN=9148246

S8 1 PN=10116989

S9 1 PN=5090191

S10 1 PN=9007911

S11 1 PN=11017185

S12 10 PN=(7118443 OR 5182923 OR 7099321 OR 9017729 OR 10149984 OR 9148246 OR 10116989 OR 5090191 OR 9007911 OR 11017185)

?t s12/4/all

12/4/1

FN- DIALOG(R)File 347:JAPIO|

CZ- (c) 2000 JPO & JAPIO. All rts. reserv.)

TI- LIQUID CRYSTAL DISPLAY AND ITS MANUFACTURE

PN- 11 -017185 -JP 11017185 A-

PD- January 22, 1999 (19990122)

AU- KAWACHI GENSHIROU; OKUBO TATSUYA; MIMURA AKIO; SHINAGAWA TAKAAKI

PA- HITACHI LTD
 AN- 09-164077 -JP 97164077-
 AD- June 20, 1997 (19970620)
 H01L-029/786; H01L-021/336; G02F-001/136; H01L-027/12
 AB- PROBLEM TO BE SOLVED: To simplify the processes of the manufacturing method of a TFT liquid crystal display, by so forming continuously its films as to take out its substrate from a vacuum equipment as infrequent as possible. SOLUTION: After on a glass substrate 1 a bedding insulation film 2, a semiconductor film 30 recrystallized by heating, a gate insulation film 20, and a gate electrode 10 are formed continuously in a vacuum equipment, the gate electrode 10 and gate insulation film 20 are patterned simultaneously to form thereafter impurity regions 31 in the semiconductor film 30. In this way, by processing consistently in vacuum a plurality of film forming processes, the productivity of a liquid crystal display is improved to make realizable its low cost. Also, since the semiconductor film 30 is never exposed to the atmosphere before and after its recrystallized process by heating, a transistor having a good characteristic can be manufactured with a good repeatability. COPYRIGHT: (C)1999, JPO

12/4/2

FN- DIALOG(R)File 347:JAPIO|
 CZ- (c) 2000 JPO & JAPIO. All rts. reserv.|
 TI- METHOD AND DEVICE FOR FORMING POLYCRYSTALLINE SILICON
 PN- 10-149984 -JP 10149984 A-
 PD- June 02, 1998 (19980602)
 AU- ISHIKAWA MICHIO; ITO KAZUYUKI; HASHIMOTO YUKINORI; YONEZAKI TAKESHI;
 TOGAWA ATSUSHI; OTA YOSHIFUMI
 PA- ULVAC JAPAN LTD [352286] (A Japanese Company or Corporation), JP
 (Japan)
 AN- 08-309497 -JP 96309497-
 AD- November 20, 1996 (19961120)
 IC- -6- H01L-021/20; H01L-029/786; H01L-021/336
 CL- 42.2 (ELECTRONICS -- Solid State Components); 36.1 (LABOR SAVING
 DEVICES -- Industrial Robots)
 KW- R002 (LASERS); R004 (PLASMA); R011 (LIQUID CRYSTALS); R096
 (ELECTRONIC MATERIALS -- Glass Conductors)
 AB- PROBLEM TO BE SOLVED: To provide a method by which such polycrystalline silicon that is suitable for the manufacture of a polycrystalline silicon thin film transistor having large field effect mobility can be formed efficiently and a device which can adequately implement the method.

SOLUTION: In a polycrystalline silicon forming method which includes a crystallizing processes for crystallizing an amorphous silicon film formed on a substrate 2 through laser annealing by irradiating the film with a laser beam in a sealed airtight chamber 12, the inside of the chamber 12 is maintained in such an atmosphere that the pressure is maintained between 0.1Torr and below the manimum and pressure of the chamber 12 and at least one kind of gas selected from among a hydrogen gas, a nitrogen gas, and an inert gas is made to flow in the chamber 12. The polycrystalline silicon formed in the chamber 12 while the chamber is maintained in the above-mentioned atmosphere is continual treated with hydrogen plasma without exposing the silicon to the atmosphere.

12/4/3

FN- DIALOG(R)File 347:JAPIO|

K05-417
I.D.S

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-99321

(43) 公開日 平成7年(1995)4月11日

(51) Int.Cl. ⁹	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/786				
21/20		8122-4M		
21/205				
		9056-4M	H 0 1 L 29/ 78	3 1 1 Y
		9056-4M		3 1 1 G
審査請求 未請求 請求項の数17 FD (全 17 頁) 最終頁に続く				

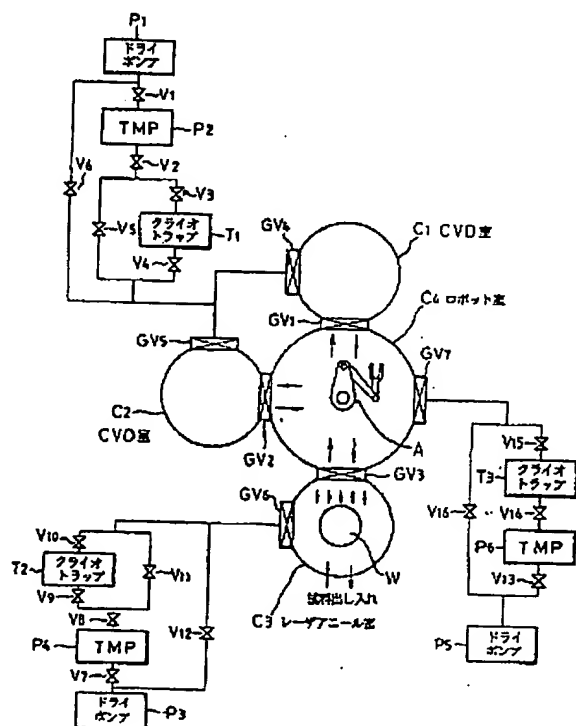
(21) 出願番号	特願平5-273051	(71) 出願人	000002185 ソニー株式会社 東京都品川区北品川6丁目7番35号
(22) 出願日	平成5年(1993)10月5日	(72) 発明者	原 昌輝 東京都品川区北品川6丁目7番35号 ソニー株式会社内
(31) 優先権主張番号	特願平5-148470	(72) 発明者	佐野 直樹 東京都品川区北品川6丁目7番35号 ソニー株式会社内
(32) 優先日	平5(1993)5月27日	(72) 発明者	鮫島 俊之 東京都品川区北品川6丁目7番35号 ソニー株式会社内
(33) 優先権主張国	日本 (J P)	(74) 代理人	弁理士 杉浦 正知
		最終頁に続く	

(54) 【発明の名称】 薄膜半導体素子の製造方法および製造装置

(57) 【要約】

【目的】 清浄で高品質な半導体/絶縁膜界面を形成し、あるいは電気伝導度の大きな変化を生じることなく半導体薄膜を水素化することにより、高性能かつ高信頼性の薄膜半導体素子を良好な均一性で製造する。

【構成】 ウェハ上形成された a-Si:H 薄膜をレーザアニール室 C₃ 内でレーザ光の照射により熔融再結晶化して多結晶 Si 薄膜を形成した後、大気にさらすことなくウェハを CVD 室 C₁ 内に搬送し、この CVD 室 C₁ 内で多結晶 Si 薄膜の清浄な表面上にゲート絶縁膜を形成する。また、a-Si:H 薄膜をレーザアニール室 C₃ 内で熔融再結晶化して多結晶 Si 薄膜を形成した後、大気にさらすことなくウェハを水素化室内に搬送し、この水素化室内で多結晶 Si 薄膜をプラズマ水素化する。



【特許請求の範囲】

【請求項 1】 基板上に形成された半導体薄膜の少なくとも表面層を減圧下または不活性ガス雰囲気中で熔融再結晶化し、

上記熔融再結晶化された上記半導体薄膜が形成された上記基板を減圧下または不活性ガス雰囲気中に保持したまま、上記熔融再結晶化された上記半導体薄膜上に絶縁膜を形成する工程に移るようにしたことを特徴とする薄膜半導体素子の製造方法。

【請求項 2】 基板上に形成された半導体薄膜の少なくとも表面層を減圧下または不活性ガス雰囲気中で熔融再結晶化し、

上記熔融再結晶化された上記半導体薄膜が形成された上記基板を減圧下または不活性ガス雰囲気中に保持したまま、上記熔融再結晶化された上記半導体薄膜を水素化する工程に移るようにしたことを特徴とする薄膜半導体素子の製造方法。

【請求項 3】 基板上に形成された半導体薄膜の少なくとも表面層を減圧下または不活性ガス雰囲気中で熔融再結晶化し、

上記熔融再結晶化された上記半導体薄膜が形成された上記基板を減圧下または不活性ガス雰囲気中に保持したまま、上記熔融再結晶化された上記半導体薄膜を水素化する工程に移り、

上記熔融再結晶化された上記半導体薄膜を水素化した後、上記熔融再結晶化および水素化された上記半導体薄膜が形成された上記基板を減圧下または不活性ガス雰囲気中に保持したまま、上記熔融再結晶化および水素化された上記半導体薄膜上に絶縁膜を形成する工程に移るようにしたことを特徴とする薄膜半導体素子の製造方法。

【請求項 4】 上記半導体薄膜に光を照射することにより上記熔融再結晶化を行うようにしたことを特徴とする請求項 1、2 または 3 記載の薄膜半導体素子の製造方法。

【請求項 5】 上記光はレーザー光であることを特徴とする請求項 4 記載の薄膜半導体素子の製造方法。

【請求項 6】 プラズマ CVD 法により上記絶縁膜を形成するようにしたことを特徴とする請求項 1、3、4 または 5 記載の薄膜半導体素子の製造方法。

【請求項 7】 上記熔融再結晶化された上記半導体薄膜が形成された上記基板を励起された水素ガス雰囲気中に保持することにより上記熔融再結晶化された上記半導体薄膜を水素化するようにしたことを特徴とする請求項 2、3、4 または 5 記載の薄膜半導体素子の製造方法。

【請求項 8】 上記熔融再結晶化された上記半導体薄膜が形成された上記基板を 10 mTorr 以下の圧力の水素ガス雰囲気中に保持し、上記水素ガスを電子サイクロトロン共鳴を用いて励起し、上記励起された上記水素ガスをを用いて上記熔融再結晶化された上記半導体薄膜を水素化するようにしたことを特徴とする請求項 2、3、4

または 5 記載の薄膜半導体素子の製造方法。

【請求項 9】 基板上に形成された半導体薄膜の少なくとも表面層を減圧下または不活性ガス雰囲気中で熔融再結晶化するための第 1 の処理室と、

上記熔融再結晶化された上記半導体薄膜上に絶縁膜を形成するための第 2 の処理室とを有し、

上記熔融再結晶化された上記半導体薄膜が形成された上記基板を減圧下または不活性ガス雰囲気中に保持したまま上記第 1 の処理室から上記第 2 の処理室に移すように構成されていることを特徴とする薄膜半導体素子の製造装置。

【請求項 10】 基板上に形成された半導体薄膜の少なくとも表面層を減圧下または不活性ガス雰囲気中で熔融再結晶化するための第 1 の処理室と、

上記熔融再結晶化された上記半導体薄膜を水素化するための第 3 の処理室とを有し、

上記熔融再結晶化された上記半導体薄膜が形成された上記基板を減圧下または不活性ガス雰囲気中に保持したまま上記第 1 の処理室から上記第 3 の処理室に移すように構成されていることを特徴とする薄膜半導体素子の製造装置。

【請求項 11】 基板上に形成された半導体薄膜の少なくとも表面層を減圧下または不活性ガス雰囲気中で熔融再結晶化するための第 1 の処理室と、

上記熔融再結晶化された上記半導体薄膜を水素化するための第 3 の処理室と、

上記熔融再結晶化および水素化された上記半導体薄膜上に絶縁膜を形成するための第 2 の処理室とを有し、

上記熔融再結晶化された上記半導体薄膜が形成された上記基板を減圧下または不活性ガス雰囲気中に保持したまま上記第 1 の処理室から上記第 3 の処理室に移すとともに、上記熔融再結晶化および水素化された上記半導体薄膜が形成された上記基板を減圧下または不活性ガス雰囲気中に保持したまま上記第 3 の処理室から上記第 2 の処理室に移すように構成されていることを特徴とする薄膜半導体素子の製造装置。

【請求項 12】 上記半導体薄膜に光を照射することにより上記熔融再結晶化を行うようにしたことを特徴とする請求項 9、10 または 11 記載の薄膜半導体素子の製造装置。

【請求項 13】 上記光はレーザー光であることを特徴とする請求項 12 記載の薄膜半導体素子の製造装置。

【請求項 14】 プラズマ CVD 法により上記絶縁膜を形成するようにしたことを特徴とする請求項 9、11、12 または 13 記載の薄膜半導体素子の製造装置。

【請求項 15】 上記第 1 の処理室は光照射用の窓を有する真空室であることを特徴とする請求項 9、10 または 11 記載の薄膜半導体素子の製造装置。

【請求項 16】 上記第 3 の処理室は上記水素ガスの導入口と上記水素ガスを励起するための電極機構とを有す

る真空室であることを特徴とする請求項 10 または 11 記載の薄膜半導体素子の製造装置。

【請求項 17】 上記電極機構は平行平板電極を有し、上記平行平板電極のうちの上記半導体薄膜に対向する側の電極はメッシュ電極であることを特徴とする請求項 16 記載の薄膜半導体素子の製造装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、薄膜半導体素子の製造方法および製造装置に関し、例えば薄膜トランジスタ (TFT) の製造に適用して好適なものである。

【0002】

【従来の技術】 近年、アクティブ・マトリクス型の液晶ディスプレイにおける画素スイッチング素子などとして、多結晶シリコン (Si) 薄膜を用いた TFT (以下「多結晶 Si TFT」という) が注目されている。この多結晶 Si TFT は、殆ど全ての場合、基板から見て活性層の上側にゲート電極がある、いわゆるトップゲート構造を有する。

【0003】 このトップゲート構造を有する多結晶 Si TFT の製造においては、基板上にプラズマ CVD 法により形成された水素化アモルファス Si 薄膜 (以下「a-Si:H 薄膜」という) を真空中で熱や光エネルギーを用いて結晶化することにより多結晶 Si 薄膜に変えた後、この多結晶 Si 薄膜上にゲート絶縁膜を形成するのが一般的である。従来、このゲート絶縁膜の形成は、a-Si:H 薄膜を多結晶 Si 薄膜に変えた後に一度真空を破ってから行っている (例えば、Extended Abstracts on SSDM, 967 (1990) および応用電子物性分科会研究報告 JSAP Catalog No: AP902204 No. 432, 19 (1990))。

【0004】 一方、結晶性薄膜の欠陥を低減させる方法としてプラズマ水素化が知られており、広く応用されている (IEEE, EDL vol. 10 (1989) 123)。

【0005】

【発明が解決しようとする課題】 しかしながら、上述のように多結晶 Si 薄膜形成後に一度真空を破ってしまうと、この多結晶 Si 薄膜の清浄な表面に水や炭化水素物の分子が吸着して汚染されたり、ガス種との反応により表面が変質 (酸化など) してしまう。このように表面が汚染されたり変質したりした多結晶 Si 薄膜上にゲート絶縁膜を形成すると、トランジスタの性能 (オン電流、しきい値電圧、サブスレッショルド・スウィング・ファクターなど) や信頼性 (絶縁耐圧など) および均一性 (ウェハー内特性) に悪影響が生じるという問題があった。

【0006】 一方、結晶性薄膜の欠陥を低減させるために上述の従来のプラズマ水素化を行うときには、特にこの結晶性薄膜が多結晶 Si 薄膜の場合、その表面に SiO₂ 膜が形成されていると、プラズマ水素化の処理によって、この多結晶 Si 薄膜の電気伝導度が大きく変化し

てしまうことが報告されている (Mat. Res. Symp. Proc. E5, 4 (1992))。すなわち、上述の従来のプラズマ水素化法においては、レーザ結晶化法を用いて基板上に多結晶 Si 薄膜を形成し、次にプラズマ水素化を行うときに基板を一旦大気中に取り出すので、このときに多結晶 Si 薄膜の表面が大気にさらされて自然酸化膜が形成される。そして、この状態で多結晶 Si 薄膜のプラズマ水素化を行うと、図 22 に示すように、この多結晶 Si 薄膜の電気伝導度が数桁も変化する。このような電気伝導度の大きな変化は、薄膜半導体素子の特性のばらつきの原因となり、問題である。

【0007】 従って、この発明の目的は、清浄で高品質な半導体/絶縁膜界面を形成することができることにより、高性能かつ高信頼性の薄膜半導体素子を良好な均一性で製造することができる薄膜半導体素子の製造方法および製造装置を提供することにある。

【0008】 この発明の他の目的は、電気伝導度の大きな変化を生じることなく半導体薄膜を水素化することができることにより、高性能かつ高信頼性の薄膜半導体素子を良好な均一性で製造することができる薄膜半導体素子の製造方法および製造装置を提供することにある。この発明の上記目的および他の目的は、本明細書の以下の記述より明らかとなるであろう。

【0009】

【課題を解決するための手段】 上記目的を達成するために、この発明の第 1 の発明による薄膜半導体素子の製造方法は、基板上に形成された半導体薄膜の少なくとも表面層を減圧下または不活性ガス雰囲気中で溶融再結晶化し、溶融再結晶化された半導体薄膜が形成された基板

(1) を減圧下または不活性ガス雰囲気中に保持したまま、溶融再結晶化された半導体薄膜上に絶縁膜を形成する工程に移るようにしている。

【0010】 この発明の第 2 の発明による薄膜半導体素子の製造方法は、基板上に形成された半導体薄膜の少なくとも表面層を減圧下または不活性ガス雰囲気中で溶融再結晶化し、溶融再結晶化された半導体薄膜が形成された基板を減圧下または不活性ガス雰囲気中に保持したまま、溶融再結晶化された半導体薄膜を水素化する工程に移るようにしている。

【0011】 この発明の第 3 の発明による薄膜半導体素子の製造方法は、基板上に形成された半導体薄膜の少なくとも表面層を減圧下または不活性ガス雰囲気中で溶融再結晶化し、溶融再結晶化された半導体薄膜が形成された基板を減圧下または不活性ガス雰囲気中に保持したまま、溶融再結晶化された半導体薄膜を水素化した後、溶融再結晶化および水素化された半導体薄膜が形成された基板を減圧下または不活性ガス雰囲気中に保持したまま、溶融再結晶化および水素化された半導体薄膜上に絶縁膜を形成する工程に移るようにしている。

【0012】この発明の第1の発明、第2の発明および第3の発明による薄膜半導体素子の製造方法において、半導体薄膜の溶融再結晶化は、半導体薄膜にエネルギーを照射することにより行うことができる。具体的には、このエネルギー照射は、レーザ光やランプ（赤外線ランプや紫外線ランプなど）による光などを用いて行うことができる。この発明の第1の発明、第2の発明および第3の発明による薄膜半導体素子の製造方法の好適な一実施形態においては、半導体薄膜にレーザ光を照射することにより溶融再結晶化を行う。

【0013】この発明の第1の発明および第3の発明による薄膜半導体素子の製造方法において、絶縁膜の形成は、例えばCVD法により行うことができる。この発明の第1の発明および第3の発明による薄膜半導体素子の製造方法の好適な一実施形態においては、プラズマCVD法により絶縁膜を形成する。

【0014】この発明の第2の発明および第3の発明による薄膜半導体素子の製造方法においては、典型的には、溶融再結晶化された半導体薄膜が形成された基板を励起された水素ガス雰囲気中に保持することにより、溶融再結晶化された半導体薄膜を水素化する。

【0015】この発明の第2の発明および第3の発明による薄膜半導体素子の製造方法においては、好適には、溶融再結晶化された半導体薄膜が形成された基板を10 mTorr以下の圧力の水素ガス雰囲気中に保持し、水素ガスを電子サイクロトロン共鳴を用いて励起し、励起された水素ガスを用いて溶融再結晶化された半導体薄膜を水素化する。

【0016】この発明の第4の発明による薄膜半導体素子の製造装置は、基板上に形成された半導体薄膜の少なくとも表面層を減圧下または不活性ガス雰囲気中で溶融再結晶化するための第1の処理室と、溶融再結晶化された半導体薄膜上に絶縁膜を形成するための第2の処理室とを有し、溶融再結晶化された半導体薄膜が形成された基板を減圧下または不活性ガス雰囲気中に保持したまま第1の処理室から第2の処理室に移すように構成されている。

【0017】この発明の第5の発明による薄膜半導体素子製造装置は、基板上に形成された半導体薄膜の少なくとも表面層を減圧下または不活性ガス雰囲気中で溶融再結晶化するための第1の処理室と、溶融再結晶化された半導体薄膜を水素化するための第3の処理室とを有し、溶融再結晶化された半導体薄膜が形成された基板を減圧下または不活性ガス雰囲気中に保持したまま第1の処理室から第3の処理室に移すように構成されている。

【0018】この発明の第6の発明による薄膜半導体素子製造装置は、基板上に形成された半導体薄膜の少なくとも表面層を減圧下または不活性ガス雰囲気中で溶融再結晶化するための第1の処理室と、溶融再結晶化された半導体薄膜を水素化するための第3の処理室と、溶融再

結晶化および水素化された半導体薄膜上に絶縁膜を形成するための第2の処理室とを有し、溶融再結晶化された半導体薄膜が形成された基板を減圧下または不活性ガス雰囲気中に保持したまま第1の処理室から第3の処理室に移すとともに、溶融再結晶化および水素化された半導体薄膜が形成された基板を減圧下または不活性ガス雰囲気中に保持したまま第3の処理室から第2の処理室に移すように構成されている。

【0019】この発明の第4の発明、第5の発明および第6の発明による薄膜半導体素子の製造装置において、半導体薄膜の溶融再結晶化は、この発明の第1の発明、第2の発明および第3の発明による薄膜半導体素子の製造方法と同様に、半導体薄膜にレーザ光やランプ（赤外線ランプや紫外線ランプなど）による光などを照射することにより行うことができる。

【0020】この発明の第4の発明および第6の発明による薄膜半導体素子の製造装置において、絶縁膜の形成は、プラズマCVD法などのCVD法により行うことができる。

【0021】この発明の第4の発明、第5の発明および第6の発明による薄膜半導体素子の製造装置において、第1の処理室は、典型的には、光照射用の窓を有する真空室である。

【0022】この発明の第4の発明および第6の発明による薄膜半導体素子の製造装置において、第3の処理室は、典型的には、水素ガスの導入口と水素ガスを励起するための電極機構とを有する真空室である。好適には、この電極機構は平行平板電極を有し、この平行平板電極のうちの半導体薄膜に対向する側の電極はメッシュ電極である。

【0023】

【作用】この発明の第1の発明による薄膜半導体素子の製造方法によれば、半導体薄膜を溶融再結晶化して多結晶半導体薄膜に変えた後、大気にさらすことなく、この多結晶半導体薄膜の清浄な表面上に絶縁膜を形成することができるので、清浄で高品質な半導体／絶縁膜界面を形成することができ、これによって高性能かつ高信頼性の薄膜半導体素子を良好な均一性で製造することができる。

【0024】この発明の第2の発明による薄膜半導体素子の製造方法によれば、半導体薄膜を溶融再結晶化して多結晶半導体薄膜に変えた後、大気にさらすことなく、この多結晶半導体薄膜の表面を清浄に保ったままこの多結晶半導体薄膜を水素化することができるので、上述の従来のプラズマ水素化法を用いた場合に生じる電気伝導度の異常な変化を防止することができ、これによって高性能かつ高信頼性の薄膜半導体素子を良好な均一性で製造することができる。

【0025】この発明の第3の発明による薄膜半導体素子の製造方法によれば、半導体薄膜を溶融再結晶化して

多結晶半導体薄膜に変えた後、大気にさらすことなく、この多結晶半導体薄膜の清浄な表面上への絶縁膜の形成およびこの多結晶半導体薄膜の水素化を行うことができるので、清浄で高品質な半導体/絶縁膜界面を形成することができるとともに、上述の従来のプラズマ水素化法を用いた場合に生じる電気伝導度の異常な変化を防止することができ、これによって高性能かつ高信頼性の薄膜半導体素子を良好な均一性で製造することができる。

【0026】この発明の第4の発明による薄膜半導体素子の製造装置によれば、この発明の第1の発明による薄膜半導体素子の製造方法と同様に、清浄で高品質な半導体/絶縁膜界面を形成することができることにより、高性能かつ高信頼性の薄膜半導体素子を良好な均一性で製造することができる。

【0027】この発明の第5の発明による薄膜半導体素子の製造装置によれば、この発明の第2の発明による薄膜半導体素子の製造方法と同様に、表面を清浄に保ったまま多結晶半導体薄膜を水素化することができることにより上述の従来のプラズマ水素化法を用いた場合に生じる電気伝導度の異常な変化を防止することができるので、高性能かつ高信頼性の薄膜半導体素子を良好な均一性で製造することができる。

【0028】この発明の第6の発明による薄膜半導体素子の製造装置によれば、この発明の第3の発明による薄膜半導体素子の製造方法と同様に、清浄で高品質な半導体/絶縁膜界面を形成することができ、かつ表面を清浄に保ったまま多結晶半導体薄膜を水素化することができることにより上述の従来のプラズマ水素化法を用いた場合に生じる電気伝導度の異常な変化を防止することができるので、高性能かつ高信頼性の薄膜半導体素子を良好な均一性で製造することができる。

【0029】

【実施例】以下、この発明の実施例について図面を参照しながら説明する。なお、実施例の全図において、同一または対応する部分には同一の符号を付す。

【0030】まず、この発明の実施例において多結晶Si TFTの製造に使用するマルチチャンパー型の薄膜半導体素子製造装置について説明する。

【0031】図1に示すように、この薄膜半導体素子製造装置は、絶縁膜形成用のCVD室 C_1 、 $a-Si:H$ 薄膜形成用のCVD室 C_2 、レーザアニール室 C_3 およびこれらの間の試料の搬送を行うロボット室 C_4 を有する。ロボット室 C_4 においては、ロボットアームAにより試料の搬送が行われる。

【0032】この場合、CVD室 C_1 、 C_2 は、ドライポンプ P_1 、ターボ分子ポンプ(TMP) P_2 およびクライオトラップ T_1 を有する真空排気系により真空排気することができるようになっている。 $V_1 \sim V_6$ はバルブを示す。また、レーザアニール室 C_3 は、ドライポンプ P_3 、TMP P_4 およびクライオトラップ T_2 を有す

る真空排気系により真空排気することができるようになっている。 $V_7 \sim V_{12}$ はバルブを示す。さらに、ロボット室 C_4 は、ドライポンプ P_5 、TMP P_6 およびクライオトラップ T_3 を有する真空排気系により真空排気することができるようになっている。 $V_{13} \sim V_{16}$ はバルブを示す。

【0033】CVD室 C_1 、 C_2 においては、本出願人により先に提案されたりモートプラズマCVD法(特開平5-21393号公報)と呼ばれるプラズマCVD法を用いてそれぞれ絶縁膜および $a-Si:H$ 薄膜の形成が行われる。これらのCVD室 C_1 、 C_2 の構成の一例を図2に示す。図2において、SWはステンレス鋼製の外壁、QWは石英製の外壁、UEは上部電極、LEは下部電極、MEはメッシュ電極、QRは多数の穴(図示せず)が形成された石英リングを示す。ここで、下部電極LEは接地され、上部電極UEに高周波電力が印加されるようになっている。メッシュ電極MEには可変の電圧が印加される。そして、このCVD室内でリモートプラズマCVDを行うには、下部電極LE上に試料、例えばガラスウェハー1を載せ、このCVD室内にSi原料としての SiH_4 ガスなどを外部から導入するとともに、形成すべき膜の種類に応じたガス(Ar 、 He 、 N_2O 、 O_2 、 NH_3 など)を外部から石英リングQR内に導入してその穴からCVD室内に導入し、上部電極UEに高周波電力を印加することによりメッシュ電極MEの上側の空間にプラズマPLを形成し、ガラスウェハー1上に所望の膜を形成する。

【0034】レーザアニール室 C_3 の構成の一例を図3に示す。図3において、SWはステンレス鋼製の外壁、UEは上部電極、LEは下部電極、QRは多数の穴が形成された石英リングを示す。上部電極UEは、直線導入機LFにより直線移動することができるようになっている。また、図3において、ORはオリング、Wは石英窓を示す。そして、このレーザアニール室 C_3 内でレーザアニールを行うには、下部電極LE上に試料、例えばガラスウェハー1を載せ、雰囲気として用いるガス(Ar 、 H_2 、 O_2 、 He など)を外部から石英リングQR内に導入してその穴からレーザアニール室 C_3 内に導入し、そのガス雰囲気中で、外部に設けられた例えばエキシマーレーザによるレーザ光Lを石英窓Wを通してガラスウェハー1に照射する。この照射時には、直線導入機LFにより上部電極UEを下部電極LEからずれた位置に移動し、この上部電極UEがレーザ光Lの照射の妨げとならないようにする。

【0035】次に、上述のように構成された薄膜半導体素子製造装置を用いて多結晶Si TFTを製造する方法について説明する。

【0036】図4はこの発明の第1実施例によるnチャネル多結晶Si TFTの製造方法を示す。この第1実施例によるnチャネル多結晶Si TFTの製造方法におい

ては、まず、図 4 A に示すように、例えば超音波有機洗浄を行った清浄なガラスウェハー 1 を用意する。

【0037】次に、図 4 B に示すように、ガラスウェハー 1 上に通常のプラズマ CVD 法により P ドープの a-Si:H 薄膜 (以下「a-Si:H、P 薄膜」という) 2 を形成した後、この a-Si:H、P 薄膜 2 をフォトリソグラフィおよびエッチングにより、チャンネル部に対応する部分が除去されるようにパターニングする。このエッチングは例えばドライエッチングにより行われる。この状態における平面図を図 5 に示す。なお、この a-Si:H、P 薄膜 2 の膜厚は例えば 20 nm である。

【0038】次に、図 4 C に示すように、通常のプラズマ CVD 法により a-Si:H 薄膜 3 を形成する。この a-Si:H 薄膜 3 の膜厚は例えば 20 nm である。

【0039】次に、図 4 D に示すように、例えばドライエッチングにより a-Si:H、P 薄膜 2 および a-Si:H 薄膜 3 をパターニングして島状化する。この状態における平面図を図 6 に示す。

【0040】次に、図 4 D に示すガラスウェハー 1 を図 1 に示す薄膜半導体素子製造装置のレーザアニール室 C₃ に入れ、このレーザアニール室 C₃ 内で、図 4 E に示すように、例えばエキシマーレーザによるレーザ光 L を a-Si:H、P 薄膜 2 および a-Si:H 薄膜 3 に照射して溶融再結晶化により多結晶 Si 薄膜 4 に変化させる。この際、この多結晶 Si 薄膜 4 のうちのチャンネル部となる部分以外の部分には、a-Si:H、P 薄膜 2 中の P がドーピングされることにより、例えば n⁺ 型のソース領域 5 およびドレイン領域 6 が形成される。なお、レーザ光 L としては、より具体的には、例えば XeCl エキシマーレーザによるレーザ光 (波長 308 nm) や KrF エキシマーレーザによるレーザ光 (波長 248 nm) などを用いることができる。

【0041】次に、図 4 E に示すガラスウェハー 1 を、図 1 に示す薄膜半導体素子製造装置のロボット室 C₄ のロボットアーム A を用いて、大気にさらすことなく、絶縁膜形成用の CVD 室 C₁ 内に搬送する。そして、この CVD 室 C₁ 内で、図 4 F に示すように、例えば SiO₂ 膜から成るゲート絶縁膜 7 をリモートプラズマ CVD 法により形成する。このゲート絶縁膜 7 の膜厚は例えば 200 nm である。

【0042】次に、図 4 F に示すガラスウェハー 1 を図 1 に示す薄膜半導体素子製造装置の CVD 室 C₁ から外部に取り出した後、図 4 G に示すように、ゲート絶縁膜 7 の所定部分を例えばウェットエッチングにより除去してコンタクトホール 7a、7b を形成する。この状態における平面図を図 7 に示す。

【0043】次に、図 4 G に示すガラスウェハー 1 の全面に例えば Al 膜を真空蒸着などにより形成した後、この Al 膜を例えばウェットエッチングによりパターニ

ングして、図 4 H に示すように、ゲート電極 8、ソース電極 9 およびドレイン電極 10 を形成する。この状態における平面図を図 8 に示す。なお、この Al 膜の膜厚は例えば 100 nm である。以上により、目的とする n チャネル多結晶 Si TFT が完成する。

【0044】以上のように、この第 1 実施例によれば、図 1 に示す薄膜半導体素子製造装置のレーザアニール室 C₃ 内でレーザ光 L の照射による溶融再結晶化により多結晶 Si 薄膜 4 を形成した後に、大気にさらすことなくガラスウェハー 1 を CVD 室 C₁ 内に移動し、この CVD 室 C₁ 内で多結晶 Si 薄膜 4 の清浄な表面上にゲート絶縁膜 7 を形成するようにしているので、多結晶 Si 薄膜 4 とゲート絶縁膜 7 との界面を清浄で高品質なものとすることができる。これによって、性能 (オン電流、しきい値電圧、サブスレッショルド・スウィング・ファクターなど) や信頼性 (絶縁耐圧など) および均一性 (ウェハー内特性) に優れた n チャネル多結晶 Si TFT を実現することができる。

【0045】次に、この発明の第 2 実施例による n チャネル多結晶 Si TFT の製造方法について説明する。図 9 はこの発明の第 2 実施例による n チャネル多結晶 Si TFT の製造方法を示す。

【0046】この第 2 実施例による n チャネル多結晶 Si TFT の製造方法においては、まず、図 9 A に示すように、超音波有機洗浄を行った清浄なガラスウェハー 1 を用意する。

【0047】次に、図 9 B に示すように、ガラスウェハー 1 上に通常のプラズマ CVD 法により a-Si:H、P 薄膜 2 を形成した後、この a-Si:H、P 薄膜 2 をフォトリソグラフィおよび例えばドライエッチングのようなエッチングにより、チャンネル部に対応する部分が除去されるようにパターニングする。この状態における平面図は図 5 に示すと同様である。

【0048】次に、図 9 B に示すガラスウェハー 1 を図 1 に示す薄膜半導体素子製造装置の CVD 室 C₂ に入れ、この CVD 室 C₂ 内で、図 9 C に示すように、a-Si:H 薄膜 3 をリモートプラズマ CVD 法により形成する。

【0049】次に、図 9 C に示すガラスウェハー 1 を、図 1 に示す薄膜半導体素子製造装置のロボット室 C₄ のロボットアーム A を用いて、大気にさらすことなく、レーザアニール室 C₃ 内に搬送する。そして、このレーザアニール室 C₃ 内で、図 9 D に示すように、例えばエキシマーレーザによるレーザ光 L を a-Si:H、P 薄膜 2 および a-Si:H 薄膜 3 に照射して溶融再結晶化により多結晶 Si 薄膜 4 に変化させる。この際、この多結晶 Si 薄膜 4 のうちのチャンネル部となる部分以外の部分には、a-Si:H、P 薄膜 2 中の P がドーピングされることにより、例えば n⁺ 型となる。

【0050】次に、図 9 D に示すガラスウェハー 1 を、

図1に示す薄膜半導体素子製造装置のロボット室C₁のロボットアームAを用いて、大気にさらすことなく、絶縁膜形成用のCVD室C₁内に搬送する。そして、このCVD室C₁内で、図9Eに示すように、例えばSiO₂膜から成るゲート絶縁膜7をリモートプラズマCVD

【0051】次に、図9Eに示すガラスウェハー1を図1に示す薄膜半導体素子製造装置のCVD室C₁内から外部に取り出した後、図9Fに示すように、例えばドライエッチングにより多結晶Si薄膜4およびゲート絶縁膜7をパターニングして島状化する。この状態における多結晶Si薄膜4のうちのn⁺型の部分がそれぞれソース領域5およびドレイン領域6を構成する。この状態における平面図は図6に示すと同様である。

【0052】次に、図9Gに示すように、ゲート絶縁膜7の所定部分を例えばウェットエッチングにより除去してコンタクトホール7a、7bを形成する。この状態における平面図は図7に示すと同様である。

【0053】次に、図9Gに示すガラスウェハー1の全面に例えばAl膜を真空蒸着などにより形成した後、このAl膜を例えばウェットエッチングによりパターニングして、図9Hに示すように、ゲート電極8、ソース電極9およびドレイン電極10を形成する。この状態における平面図を図10に示す。

【0054】次に、図9Hに示すガラスウェハー1を図1に示す薄膜半導体素子製造装置のCVD室C₁内に入れ、このCVD室C₁内で、図9Iに示すように、例えばSiO₂膜から成る層間絶縁膜11をリモートプラズマCVD法により形成する。この層間絶縁膜11によって、パターニングにより露出した多結晶Si薄膜4の側壁を覆うことができ、その露出を防止することができる。

【0055】次に、図9Jに示すように、層間絶縁膜11の所定部分を例えばウェットエッチングにより除去してコンタクトホール11a、11b、11cを形成する。この状態における平面図を図11に示す。

【0056】次に、図9Jに示すガラスウェハー1の全面に例えばAl膜を真空蒸着などにより形成した後、このAl膜を例えばウェットエッチングによりパターニングする。これによって、図9Kに示すように、目的とする厚さおよび形状のゲート電極8、ソース電極9およびドレイン電極10が形成される。この状態における平面図は図8に示すと同様である。以上により、目的とするnチャネル多結晶Si TFTが完成する。

【0057】以上のように、この第2実施例によれば、a-Si:H薄膜3の形成、溶融再結晶化による多結晶Si薄膜4の形成およびゲート絶縁膜7の形成を、それぞれ図1に示す薄膜半導体素子製造装置のCVD室C₂、レーザアニール室C₃およびCVD室C₁内で、ガラスウェハー1を途中で大気にさらすことなく行って

いるので、多結晶Si薄膜4とゲート絶縁膜7との界面を清浄で高品質なものとしてできるとともに、a-Si:H薄膜3の表面の汚染や変質を防止してこのa-Si:H薄膜3およびa-Si:H、P薄膜2の溶融再結晶化により形成される多結晶Si薄膜4も良質なものとしてできる。これによって、第1実施例と同様に、性能（オン電流、しきい値電圧、サブスレッショルド・スウィング・ファクターなど）や信頼性（絶縁耐圧など）および均一性（ウェハー内特性）に優れたnチャネル多結晶Si TFTを実現することができる。

【0058】ところで、半導体薄膜を多結晶半導体薄膜にする方法としては、半導体薄膜を溶融再結晶化させる方法と、半導体薄膜を固相成長させる方法とがある。後者の半導体薄膜を固相成長させる方法では、大粒径の多結晶半導体薄膜を形成することができるが、固相成長により得られる多結晶半導体薄膜よりも溶融再結晶化により得られる多結晶半導体薄膜の方が膜質が良いことが知られている（例えば、IEEE Trans. Electron Devices vol. 38, 2058(1991)）。従って、特性の良好なデバイスを製造するためには、半導体薄膜を溶融再結晶化させるのが良い。この半導体薄膜の溶融再結晶化においては、ガラスウェハー上の半導体薄膜を溶融させる場合には、ガラスの融点が高いことにより基板全体を高温に保つことができないので、半導体薄膜だけを短時間加熱することができるエキシマーレーザなどによるレーザ光の照射が好適に用いられる。

【0059】このように半導体薄膜を短時間溶融した場合に得られる多結晶半導体薄膜中の結晶粒の粒径は、半導体薄膜の膜厚によって制限される。また、出発物質としての半導体薄膜がa-Si:H薄膜のように膜中に多量の水素を含有している場合には、半導体薄膜を溶融させたときに爆発的に水素が放出されて膜が破壊されてしまうおそれがあるため、厚いa-Si:H薄膜ほど、多結晶Si薄膜化するのは困難である（例えば、Extended Abstracts on SSDM, 967(1990)）。このような理由により、例えば300℃程度の低温で、大粒径（例えば、50nm以上）の多結晶Si薄膜をa-Si:H薄膜から得ることは、従来は困難であった。

【0060】この問題を解決するために、溶融させた後の半導体薄膜を一度大気にさらしてから、再度、成膜および溶融を実行することが考えられるが、このようにしても結晶粒の粒径を増大させることはできない。なぜならば、このように半導体薄膜を溶融させた後に大気にさらしてしまうと、多結晶半導体薄膜の清浄な表面に水や炭化水素物の分子が吸着して表面が汚染されたり、ガス種との反応により表面が変質（酸化など）してしまうからである。このように汚染されたり変質したりした部分は結晶粒界となり、結晶成長の際のバリアーとして働くため、粒径の増大が妨げられるのである。

【0061】そこで、この問題を解決し、大粒径の多結

晶半導体薄膜、特に多結晶 Si 薄膜を形成することができる方法について図 12 を参照しながら説明する。

【0062】すなわち、まず、例えば超音波有機洗浄を行った清浄なガラスウェハー 1 を図 1 に示す薄膜半導体素子製造装置の CVD 室 C_2 内に入れる。そして、この CVD 室 C_2 内で、図 12A に示すように、ガラスウェハー 1 上に a-Si:H 薄膜 3 をリモートプラズマ CVD 法により形成する。

【0063】次に、図 12A に示すガラスウェハー 1 を、図 1 に示す薄膜半導体素子製造装置のロボット室 C_4 のロボットアーム A を用いて、大気にさらすことなく、レーザアニール室 C_3 内に搬送する。そして、このレーザアニール室 C_3 内で、図 12B に示すように、例えばエキシマーレーザによるレーザ光 L を a-Si:H 薄膜 3 に照射して溶解再結晶化により多結晶 Si 薄膜 4 に変化させる。符号 4a は多結晶 Si 薄膜 4 中の結晶粒を示す。

【0064】次に、図 12B に示すガラスウェハー 1 を、図 1 に示す薄膜半導体素子製造装置のロボット室 C_4 のロボットアーム A を用いて、大気にさらすことなく、再び CVD 室 C_2 内に入れる。そして、この CVD 室 C_2 内で、図 12C に示すように、多結晶 Si 薄膜 4 上に a-Si:H 薄膜 3 をリモートプラズマ CVD 法により形成する。

【0065】次に、図 12C に示すガラスウェハー 1 を、図 1 に示す薄膜半導体素子製造装置のロボット室 C_4 のロボットアーム A を用いて、大気にさらすことなく、再びレーザアニール室 C_3 内に搬送する。そして、このレーザアニール室 C_3 内で、図 12D に示すように、例えばエキシマーレーザによるレーザ光 L を a-Si:H 薄膜 3 および多結晶 Si 薄膜 4 に照射して溶解再結晶化を行わせる。これによって、図 12B に示す多結晶 Si 薄膜 4 に比べて厚く、結晶粒 4a の粒径も大きい多結晶 Si 薄膜 4 が形成される。

【0066】以上のような a-Si:H 薄膜 3 の形成とレーザ光 L による溶解再結晶化とを必要な回数だけ繰り返すことにより、大粒径の多結晶 Si 薄膜 4 を得ることができる。

【0067】この発明の第 3 実施例においては、上述のような大粒径の多結晶 Si 薄膜を形成する方法を用いて n チャネル多結晶 Si TFT を製造する。

【0068】この第 3 実施例による n チャネル多結晶 Si TFT の製造方法においては、第 2 実施例による n チャネル多結晶 Si TFT の製造方法における図 9B に示す工程までプロセスを進めた後、図 1 に示す薄膜半導体素子製造装置を用いて、図 9C に示す a-Si:H 薄膜 3 の形成と図 9D に示すレーザ光 L による溶解再結晶化とを必要な回数だけ繰り返すことにより、十分に大粒径の多結晶 Si 薄膜 4 を形成する。例えば、a-Si:H、P 薄膜 2 の膜厚を 20 nm、一回のリモートプラズ

マ CVD により形成される a-Si:H 薄膜 3 の膜厚を 20 nm とし、a-Si:H 薄膜 3 の形成およびその後の溶解再結晶化を 3 回繰り返した場合には、膜厚が 80 nm、従って結晶粒 4a の粒径が 80 nm 程度と大粒径の多結晶 Si 薄膜 4 を形成することができる。

【0069】次に、このようにして大粒径化された多結晶 Si 薄膜 4 が形成されたガラスウェハー 1 を、図 1 に示す薄膜半導体素子製造装置のレーザアニール室 C_3 から CVD 室 C_1 に大気にさらすことなく搬送する。そして、この CVD 室 C_1 内で、図 9E に示すと同様に、多結晶 Si 薄膜 4 の清浄な表面上にゲート絶縁膜 7 を形成する。この後、図 9F~図 9K と同様にプロセスを進め、目的とする n チャネル多結晶 Si TFT を完成させる。

【0070】以上のように、この第 3 実施例によれば、第 2 実施例による n チャネル多結晶 Si TFT の製造プロセスに、図 12 に示す多結晶 Si 薄膜の大粒径化のプロセスを加えていることにより、特に電界効果移動度が例えば $50 \text{ cm}^2/\text{V} \cdot \text{s}$ 以上と高い高性能の n チャネル多結晶 Si TFT を実現することができる。

【0071】次に、この発明の第 4 実施例について説明する。図 13 はこの第 4 実施例において用いる薄膜半導体素子製造装置を示す。図 13 に示すように、この薄膜半導体素子製造装置は、レーザ光 L の照射用の窓 W を有するレーザアニール室 C_3 と、外部から導入される水素 (H_2) をプラズマ化するための互いに対向した上部電極 UE' および下部電極 LE' を有する水素化室 C_5 とを有し、これらのレーザアニール室 C_3 および水素化室 C_5 が、図示省略した真空搬送系を介して結合された構成を有する。これらのレーザアニール室 C_3 および水素化室 C_5 は、それぞれ図示省略した真空排気系により例えば $2 \times 10^{-7} \text{ Torr}$ 程度の圧力に真空排気可能となっている。

【0072】このように構成された図 13 に示す薄膜半導体素子製造装置によれば、まず、あらかじめ例えば a-Si:H 薄膜 3 が形成されたガラスウェハー 1 をレーザアニール室 C_3 内に入れ、このレーザアニール室 C_3 内で、石英窓 W を介して a-Si:H 薄膜 3 にレーザ光 L を照射して溶解再結晶化により多結晶 Si 薄膜 4 を形成した後、真空を破ることなく、ガラスウェハー 1 を水素化室 C_5 内に搬送する。そして、この水素化室 C_5 内で、上部電極 UE' に高周波電力を印加することによりこの上部電極 UE' と下部電極 LE' との間に発生された水素プラズマにより、上述の溶解再結晶化により得られた多結晶 Si 薄膜 4 のプラズマ水素化を行う。

【0073】図 14 は上述のようにして溶解再結晶化およびプラズマ水素化を行うことにより得られた厚さ 20 nm の多結晶 Si 薄膜 4 の暗伝導度および光伝導度のプラズマ水素化時の水素ガス圧力依存性を測定した結果を示す。ただし、プラズマ水素化の条件は、水素ガス流量

100 sccm、温度 270℃、高周波電力 5W および水素化時間 30 秒である。また、図 15 は上述のようにして溶融再結晶化およびプラズマ水素化を行うことにより得られた厚さ 20 nm の多結晶 Si 薄膜 4 の暗伝導度および光伝導度のプラズマ水素化時の水素化時間依存性を測定した結果を示す。ただし、プラズマ水素化の条件は、水素ガス流量 100 sccm、温度 270℃、高周波電力 5W および水素ガス圧力 0.5 Torr である。

【0074】図 14 からわかるように、水素ガス圧力が約 0.5 Torr 以上で光伝導度が大きくなっており、このことからレーザ光 L による溶融再結晶化の際に多結晶 Si 薄膜 4 中に発生した欠陥が減少していることが確認された。また、図 15 からわかるように、水素化時間は約 30 秒以上であれば、良好なプラズマ水素化を行うことができる。さらに、図 14 および図 15 に示す特性には、図 22 に示したような電気伝導度の異常な変化は見られないことから、安定した水素化が行われたことがわかる。これは、上述のような真空中一貫プロセスにより、表面が清浄に保たれたまま多結晶 Si 薄膜 4 のプラズマ水素化が行われたことを示す。

【0075】以上のように、この第 4 実施例によれば、レーザアニール室 C₂ 内で a-Si:H 薄膜 3 の溶融再結晶化を行った後、これにより得られた多結晶 Si 薄膜 4 の表面を清浄に保ったまま水素化室 C₃ 内でこの多結晶 Si 薄膜 4 のプラズマ水素化を行うことができるので、すでに述べた従来のプラズマ水素化法を用いた場合に生じる多結晶 Si 薄膜 4 の電気伝導度の異常な変化をなくすことができる。そして、この多結晶 Si 薄膜 4 を用いて TFT などの薄膜半導体素子を形成することにより、薄膜半導体素子の特性のばらつきを抑えることができる。

【0076】次に、この発明の第 5 実施例について説明する。図 16 はこの第 5 実施例において用いる薄膜半導体素子製造装置を示す。図 16 に示すように、この薄膜半導体素子製造装置は、レーザアニール室と水素化室とが一体化された単一のレーザアニールおよび水素化室 C₂ を有する。このレーザアニールおよび水素化室 C₂ は、図示省略した真空排気系により例えば 2 × 10⁻⁷ Torr 程度の圧力に真空排気可能になっている。このレーザアニールおよび水素化室 C₂ においては、図示省略した直線導入機により図 16 中左右方向に移動可能なプラズマ放電用の上部電極 U E² が設けられている。図示は省略するが、この場合、ガラスウェハ 1 は下部電極上に置かれている。なお、このレーザアニールおよび水素化室 C₂ は、より具体的には、図 3 に示すレーザアニール室 C₂ と同様に構成することができる。

【0077】このように構成された図 16 に示す薄膜半導体素子製造装置によれば、レーザアニールおよび水素化室 C₂ 内で、まず、上部電極 U E² をガラスウェハ 1 の上方から外れた位置に移動させた状態で、ガラスウ

ェハ 1 上にあらかじめ形成された例えば a-Si:H 薄膜 3 に石英窓 W を介してレーザ光 L を照射して溶融再結晶化を行う。次に、上部電極 U E² をガラスウェハ 1 の上方に移動させた後、レーザアニールおよび水素化室 C₂ 内に水素ガスを導入する。次に、この上部電極 U E² に高周波電力を印加することにより水素ガスのプラズマ放電を起こさせ、上述の溶融再結晶化により形成された多結晶 Si 薄膜のプラズマ水素化を行う。

【0078】この第 5 実施例によっても、第 4 実施例と同様に、a-Si:H 薄膜 3 の溶融再結晶化を行った後、これにより得られる多結晶 Si 薄膜の表面を清浄に保ったままこの多結晶 Si 薄膜のプラズマ水素化を行うことができるので、この多結晶 Si 薄膜の電気伝導度の異常な変化が生じるのを防止することができる。

【0079】次に、この発明の第 6 実施例について説明する。図 17 はこの第 6 実施例において用いる薄膜半導体素子製造装置を示す。図 17 に示すように、この薄膜半導体素子製造装置は、水素化室 C₃ 内の下部電極がメッシュ電極 M E¹ となっており、上部電極 U E¹ とこのメッシュ電極 M E¹ との間に水素プラズマ P L¹ を発生させることができるようになっている。その他の構成は第 4 実施例において用いた図 13 に示す薄膜半導体素子製造装置と同様であるので、説明を省略する。

【0080】このように構成された図 17 に示す薄膜半導体素子製造装置によれば、まず、レーザアニール室 C₂ 内で、ガラスウェハ 1 上の a-Si:H 薄膜 3 にレーザ光 L を照射して溶融再結晶化を行った後、真空を破ることなくガラスウェハ 1 を水素化室 C₃ 内に搬送し、この水素化室 C₃ 内で、上部電極 U E¹ およびメッシュ電極 M E¹ 間に発生された水素プラズマにより、上述の溶融再結晶化により得られた多結晶 Si 薄膜 4 のリモートプラズマ水素化を行う。

【0081】この第 6 実施例によれば、第 4 実施例と同様に、多結晶 Si 薄膜 4 のプラズマ水素化により電気伝導度の異常な変化が生じるのを防止することができるほか、次のような利点も得ることができる。すなわち、この第 6 実施例においては、プラズマ水素化に用いられる水素プラズマ P L¹ は上部電極 U E¹ およびメッシュ電極 M E¹ 間に閉じ込められるため、プラズマ水素化時に高エネルギーのイオンが多結晶 Si 薄膜 4 に照射されることがない。そして、電荷のない中性の水素原子のみがメッシュ電極 M E¹ を通って多結晶 Si 薄膜 4 の水素化に寄与する。このため、プラズマ水素化時に多結晶 Si 薄膜 4 に欠陥が発生するのを防止することができる。

【0082】次に、この発明の第 7 実施例について説明する。図 18 はこの第 7 実施例において用いる薄膜半導体素子製造装置を示す。図 18 に示すように、この薄膜半導体素子製造装置は、電子サイクロトロン共鳴 (ECR) を利用して水素プラズマを発生させるプラズマガン PG を有し、このプラズマガン PG により発生される水

素プラズマによりプラズマ水素化を行う水素化室 C_5 を有する。MGは電磁石を示す。その他の構成は第4実施例において用いた図13に示す薄膜半導体素子製造装置と同様であるので、説明を省略する。

【0083】このように構成された図18に示す薄膜半導体素子製造装置によれば、まず、レーザアニール室 C_3 内で、ガラスウェハ1上にあらかじめ形成された $a-Si:H$ 薄膜3にレーザ光Lを照射して溶融再結晶化を行った後、真空を破ることなくガラスウェハ1を水素化室 C_5 内に搬送し、この水素化室 C_5 内で、プラズマガンPGにより発生された水素プラズマにより、上述の溶融再結晶化により得られた多結晶Si薄膜4のプラズマ水素化を行う。

【0084】この第7実施例によれば、第4実施例と同様に、多結晶Si薄膜4のプラズマ水素化により電気伝導度の異常な変化が生じるのを防止することができる。すなわち、この第7実施例においては、水素プラズマを発生させるために、マイクロ波による励起と電磁石MGによる共鳴現象とを用いたECRを利用して水素ガスの励起を行っている。この水素ガスの励起効率を高くすることができ、これによってプラズマ水素化を高い効率で行うことができる。また、このようにECRを利用してプラズマ水素化を行うことにより、通常のプラズマ水素化法では実現することが困難な、10mTorr以下の低圧力下でのプラズマ水素化が可能である。

【0085】次に、この発明の第8実施例について説明する。図19はこの第8実施例において用いる薄膜半導体素子製造装置を示す。図19に示すように、この薄膜半導体素子製造装置は、第6実施例において用いた図17に示す薄膜半導体素子製造装置の水素化室 C_5 に、絶縁膜を形成するためのCVD室 C_1 が、図示省略した真空搬送系を介してさらに結合された構成を有する。このCVD室 C_1 においては、下部電極はメッシュ電極MEにより構成されている。そして、このCVD室 C_1 内に絶縁膜の形成に必要なガスを導入し、上部電極UEに高周波電力を印加してこの上部電極UEとメッシュ電極MEとの間にプラズマを発生させることによりリモートプラズマCVDが行われるようになっている。

【0086】このように構成された図19に示す薄膜半導体素子製造装置によれば、まず、レーザアニール室 C_3 内で、ガラスウェハ1上にあらかじめ形成された $a-Si:H$ 薄膜3にレーザ光Lを照射して溶融再結晶化を行った後、真空を破ることなくガラスウェハ1を水素化室 C_5 内に搬送し、この水素化室 C_5 内で、上部電極UEおよびメッシュ電極ME間に発生された水素プラズマにより、上述の溶融再結晶化により得られた多結晶Si薄膜4のリモートプラズマ水素化を行う。次に、真空を破ることなくガラスウェハ1をCVD室 C_1 内に搬送し、このCVD室 C_1 内で、上部電極UEお

よびメッシュ電極ME間に発生されたプラズマを用いて多結晶Si薄膜4上にリモートプラズマCVD法により例えば SiO_2 膜12を形成する。

【0087】この第8実施例によれば、 $a-Si:H$ 薄膜3の溶融再結晶化を行った後にこれにより得られる多結晶Si薄膜4の表面を清浄に保ったままこの多結晶Si薄膜4のプラズマ水素化を行うことができるとともに、プラズマ水素化を行った多結晶Si薄膜4の表面を清浄に保ったままこの多結晶Si薄膜4上に SiO_2 膜12を形成することができるので、プラズマ水素化により多結晶Si薄膜4の電気伝導度の異常な変化が生じるのを防止することができる。同時に、清浄で高品質な多結晶Si薄膜/SiO₂膜界面を形成することができる。

【0088】図20はこの発明の第9実施例によるpチャネル多結晶Si TFTの製造方法を示す。

【0089】この第9実施例によるpチャネル多結晶Si TFTの製造方法においては、まず、図20Aに示すように、例えば超音波有機洗浄を行った清浄なガラスウェハ1を用意する。

【0090】次に、図20Bに示すように、ガラスウェハ1上に通常のプラズマCVD法によりBドープの $a-Si:H$ 薄膜（以下「 $a-Si:H$ 、B薄膜」という）13を形成し、この $a-Si:H$ 、B薄膜13をフォトリソグラフィおよびエッチングにより、チャネル部に対応する部分が除去されるようにパターンニングする。

【0091】次に、図20Cに示すように、通常のプラズマCVD法により $a-Si:H$ 薄膜3を形成する。

【0092】次に、図20Dに示すように、例えばドライエッチングにより $a-Si:H$ 、B薄膜13および $a-Si:H$ 薄膜3をパターンニングして島状化する。

【0093】次に、図20Dに示すガラスウェハ1を図19に示す薄膜半導体素子製造装置のレーザアニール室 C_3 に入れ、このレーザアニール室 C_3 内で、図20Eに示すように、例えばエキシマーレーザによるレーザ光Lを $a-Si:H$ 、B薄膜13および $a-Si:H$ 薄膜3に照射して溶融再結晶化により多結晶Si薄膜4に変化させる。この際、この多結晶Si薄膜4のうちのチャネル部となる部分以外の部分には、 $a-Si:H$ 、B薄膜13中のBがドーピングされることにより、例えばp⁺型のソース領域14およびドレイン領域15が形成される。ここで、レーザ光Lとしては、より具体的には、例えばXeClエキシマーレーザによるレーザ光（波長308nm）やKrFエキシマーレーザによるレーザ光（波長248nm）などを用いることができる。

【0094】上述のようにして溶融再結晶化により多結晶Si薄膜4を形成した後、レーザアニール室 C_3 内において、上部電極UEをガラスウェハ1の上方に移動させる。次に、レーザアニール室 C_3 内に水素ガスを導

入した後、上部電極UEに高周波電力を印加して放電を起こさせることにより水素プラズマを形成し、これによって多結晶Si薄膜4のプラズマ水素化を行う。

【0095】次に、図20Eに示すガラスウェハ1を、真空を破ることなく、すなわち大気にさらすことなく、図19に示す薄膜半導体素子製造装置の絶縁膜形成用のCVD室C₁内に搬送する。そして、このCVD室C₁内で、図20Fに示すように、例えばSiO₂膜から成るゲート絶縁膜7をリモートプラズマCVD法により形成する。

【0096】次に、図20Fに示すガラスウェハ1を図19に示す薄膜半導体素子製造装置のCVD室C₁から外部に取り出した後、図20Gに示すように、ゲート絶縁膜7の所定部分を例えばウェットエッチングにより除去してコンタクトホール7a、7bを形成する。

【0097】次に、図20Gに示すガラスウェハ1の全面に例えばAl膜を真空蒸着などにより形成した後、このAl膜を例えばウェットエッチングによりパターニングして、図20Hに示すように、ゲート電極8、ソース電極9およびドレイン電極10を形成する。なお、このAl膜の膜厚は例えば100nmである。以上により、目的とするpチャネル多結晶Si TFTが完成する。

【0098】図21は上述のようにして製造されたpチャネル多結晶Si TFTのドレイン電流-ゲート電圧特性を測定した結果を示す。ただし、このpチャネル多結晶Si TFTのゲート幅は20μm、ゲート長は10μm、ゲート絶縁膜2を構成するSiO₂膜の厚さは120nmであり、ドレイン電圧は1Vである。図20からわかるように、多結晶Si薄膜4のプラズマ水素化により電気伝導度の異常な変化が起こらないため、しきい値電圧が約-1.8Vと小さい、良好な特性が得られている。

【0099】以上、この発明の実施例について具体的に説明したが、この発明は、上述の実施例に限定されるものではなく、この発明の技術的思想に基づく各種の変形が可能である。

【0100】例えば、図1に示す薄膜半導体素子製造装置は処理室としてCVD室C₁、CVD室C₂およびレーザアニール室C₃を有しているが、これらに加えて、例えば、化学的表面処理を行う処理室やCVD法以外の方法による成膜室を設けてもよい。ここで、化学的表面処理とは、プラズマ水素化などのプラズマ処理、ガスフロー処理、光処理などをいう。また、CVD法以外の方法による成膜室とは、スパッター室や蒸着室などをいう。

【0101】また、例えば、図1に示す薄膜半導体素子製造装置に、プラズマ重合などによりフォトリソを形成するフォトリソ形成室、フォトリソ露光室およびフォトリソの露光領域または非露光領域を選

択に除去し、あるいは露光の有無にかかわらずフォトリソ全体を除去するフォトリソ除去室を追加すれば、上述の実施例における各種のパターニングを行う際に用いられるフォトリソパターンの形成およびその除去も、ガラスウェハ1を大気にさらすことなく、連続的に行うことができる。さらに、これに加えて、a-Si:H、P薄膜を形成するCVD室、エッチング室およびAl膜の蒸着室を設ければ、製造途中でガラスウェハ1を大気にさらすことなく、多結晶Si TFTを製造することも可能である。

【0102】なお、例えば、一つの処理室に複数の処理機能を持たせ、この処理室内で連続的に複数の処理を行うようにしてもよい。第5実施例において用いた図16に示す薄膜半導体素子製造装置はその一例であるが、これ以外に、例えば、図1に示す薄膜半導体素子製造装置におけるレーザアニール室C₃とCVD室C₁との両機能を併せ持つ一つの処理室内で、レーザアニールと絶縁膜の形成とを連続的に行うようにしてもよい。

【0103】また、この発明は、Si薄膜以外の各種半導体薄膜を用いた薄膜半導体素子の製造に適用することが可能である。

【0104】

【発明の効果】以上説明したように、この発明によれば、清浄で高品質の半導体/絶縁膜界面を形成することができることにより、高性能かつ高信頼性の薄膜半導体素子を良好な均一性で製造することができる。

【0105】また、この発明によれば、表面を清浄に保ったまま多結晶半導体薄膜の水素化を行うことができることにより、高性能の薄膜半導体素子を良好な均一性で製造することができる。

【図面の簡単な説明】

【図1】この発明の実施例において用いられるマルチチャンバー型の薄膜半導体素子製造装置を示す略線図である。

【図2】図1に示す薄膜半導体素子製造装置のCVD室の構成の一例を示す断面図である。

【図3】図1に示す薄膜半導体素子製造装置のレーザアニール室の構成の一例を示す断面図である。

【図4】この発明の第1実施例によるnチャネル多結晶Si TFTの製造方法を説明するための断面図である。

【図5】図4Bに示す状態に対応する平面図である。

【図6】図4Dに示す状態に対応する平面図である。

【図7】図4Gに示す状態に対応する平面図である。

【図8】図4Hに示す状態に対応する平面図である。

【図9】この発明の第2実施例によるnチャネル多結晶Si TFTの製造方法を説明するための断面図である。

【図10】図9Hに示す状態に対応する平面図である。

【図11】図9Jに示す状態に対応する平面図である。

【図12】大粒径の多結晶Si薄膜を形成する方法を説明するための断面図である。

【図 13】この発明の第 4 実施例において用いられる薄膜半導体素子製造装置を示す略線図である。

【図 14】この発明の第 4 実施例において溶融再結晶化およびプラズマ水素化を行うことにより形成された多結晶 Si 薄膜の暗伝導度および光伝導度のプラズマ水素化時の水素ガス圧力依存性の測定結果の一例を示すグラフである。

【図 15】この発明の第 4 実施例において溶融再結晶化およびプラズマ水素化を行うことにより形成された多結晶 Si 薄膜の暗伝導度および光伝導度のプラズマ水素化時の水素化時間依存性の測定結果の一例を示すグラフである。

【図 16】この発明の第 5 実施例において用いられる薄膜半導体素子製造装置を示す略線図である。

【図 17】この発明の第 6 実施例において用いられる薄膜半導体素子製造装置を示す略線図である。

【図 18】この発明の第 7 実施例において用いられる薄膜半導体素子製造装置を示す略線図である。

【図 19】この発明の第 8 実施例において用いられる薄膜半導体素子製造装置を示す略線図である。

【図 20】この発明の第 9 実施例による p チャネル多結晶 Si TFT の製造方法を説明するための断面図である。

【図 21】この発明の第 9 実施例により製造された p チ

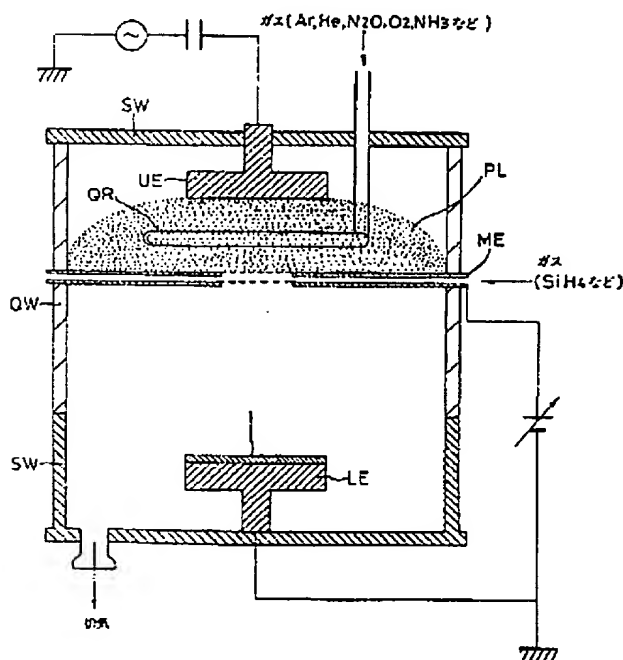
ャネル多結晶 Si TFT のドレイン電流-ゲート電圧特性の測定結果の一例を示すグラフである。

【図 22】レーザ光の照射により a-Si:H 薄膜の溶融再結晶化を行った後に一旦真空を破ってからプラズマ水素化を行うことにより形成された多結晶 Si 薄膜の暗伝導度および光伝導度のプラズマ水素化時の水素化時間依存性の測定結果の一例を示すグラフである。

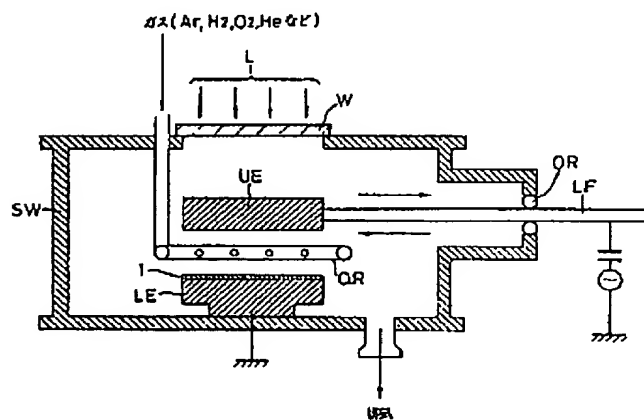
【符号の説明】

- C₁、C₂ CVD 室
- C₃ レーザアニール室
- C₄ ロボット室
- C₅ 水素化室
- C₆ レーザアニールおよび水素化室
- 1 ガラスウェハー
- 2 a-Si:H、P 薄膜
- 3 a-Si:H 薄膜
- L レーザ光
- 4 多結晶 Si 薄膜
- 4a 結晶粒
- 5、ソース領域
- 6 ドレイン領域
- 7 ゲート絶縁膜
- 13 a-Si:H、B 薄膜

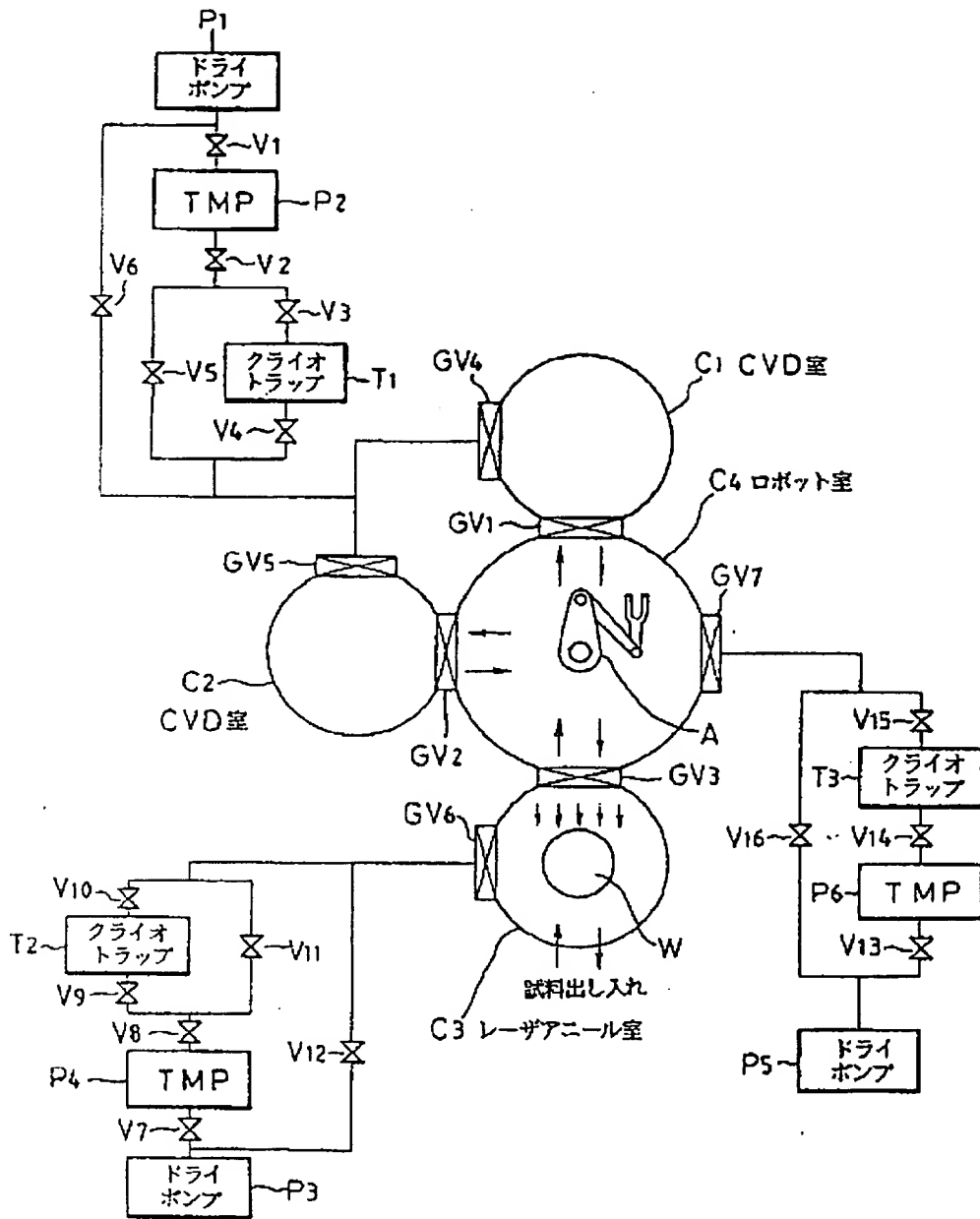
【図 2】



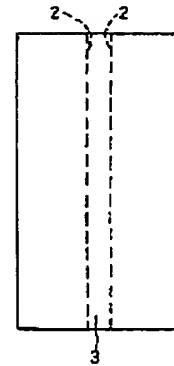
【図 3】



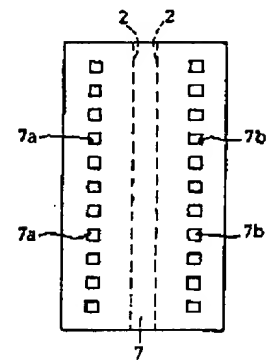
【図 1】



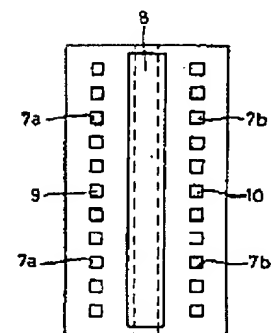
【図 6】



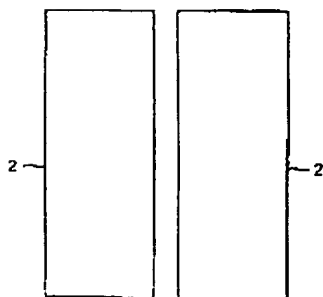
【図 7】



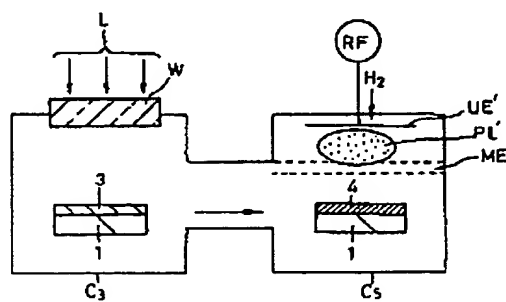
【図 10】



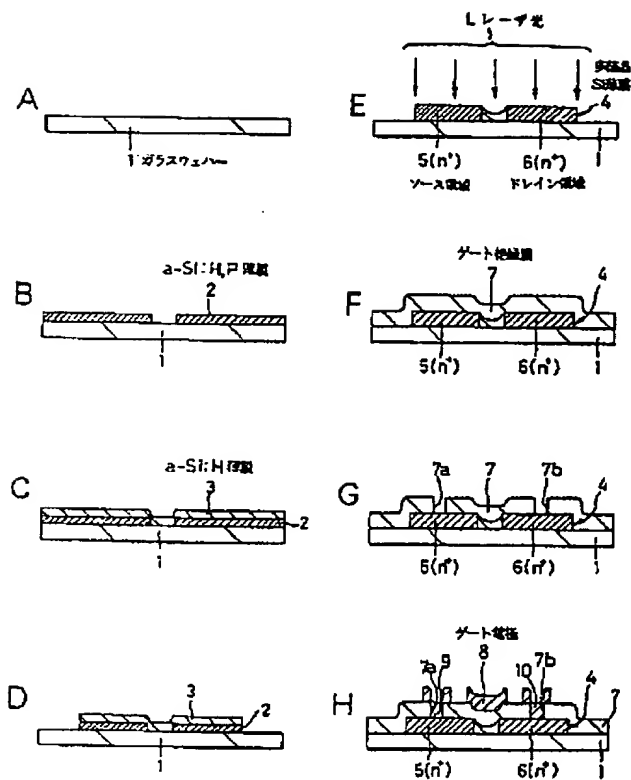
【図 5】



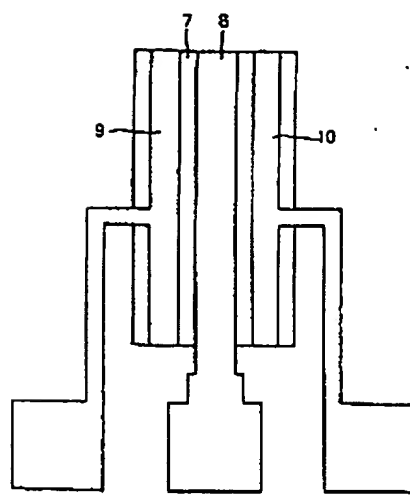
【図 17】



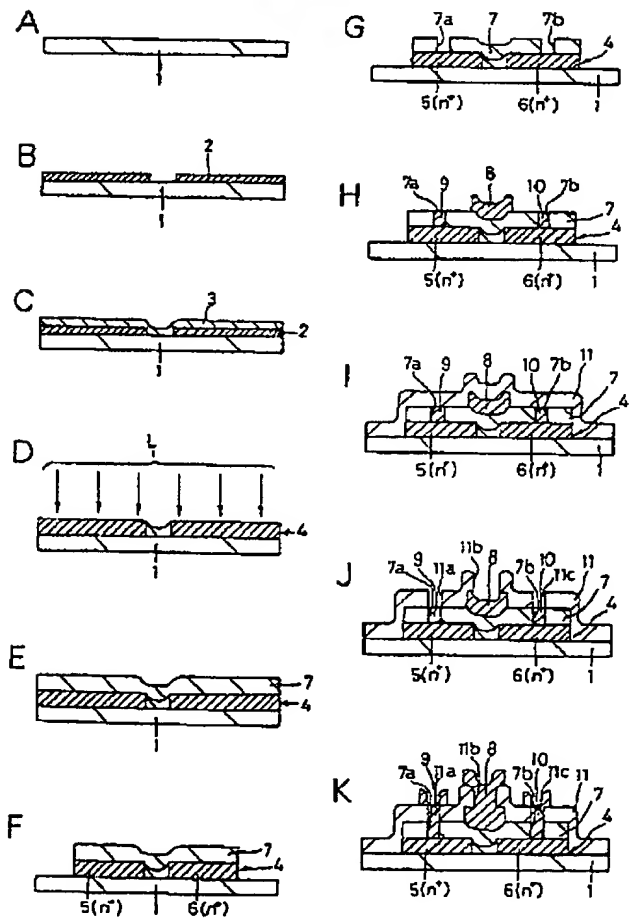
【図 4】



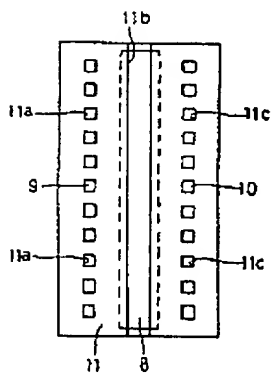
【図 8】



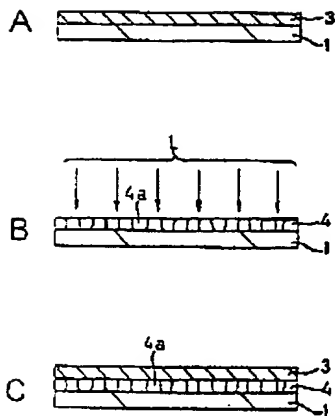
【図 9】



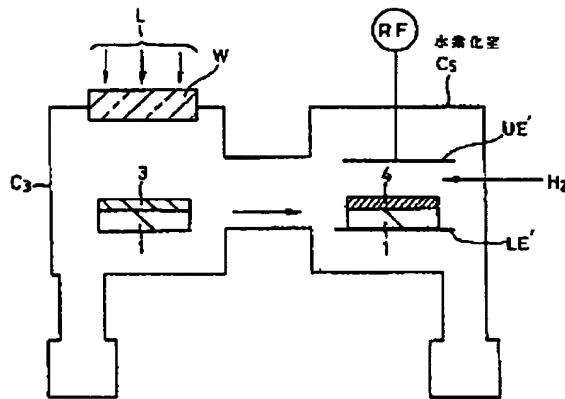
【図 11】



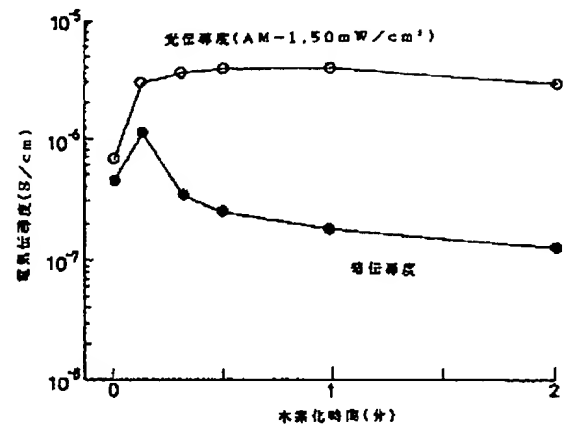
【图 12】



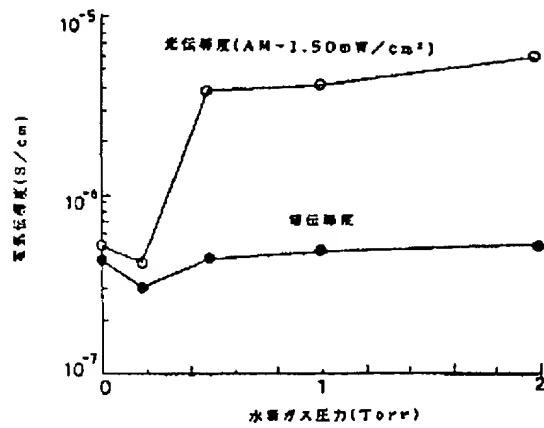
【图 13】



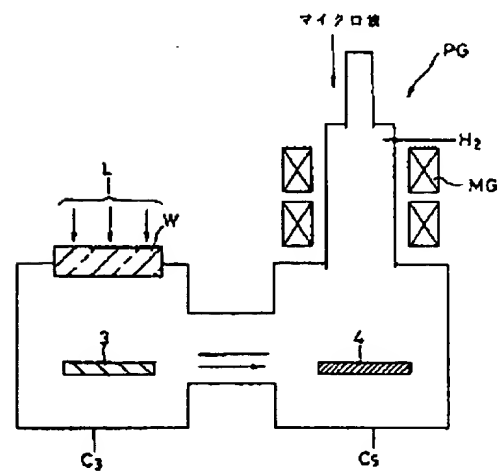
【图 15】



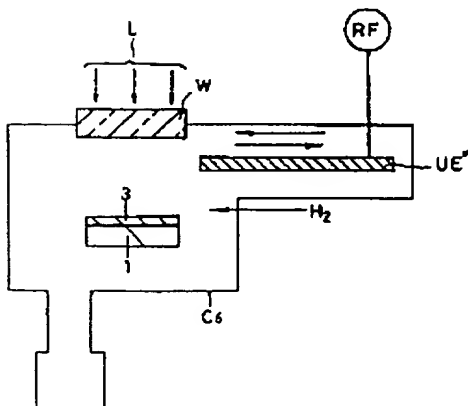
【图 14】



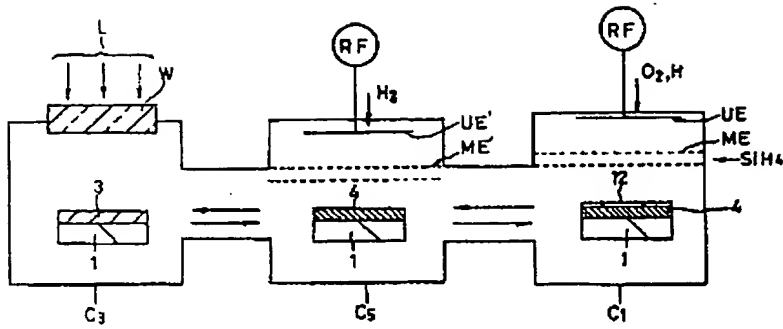
【图 18】



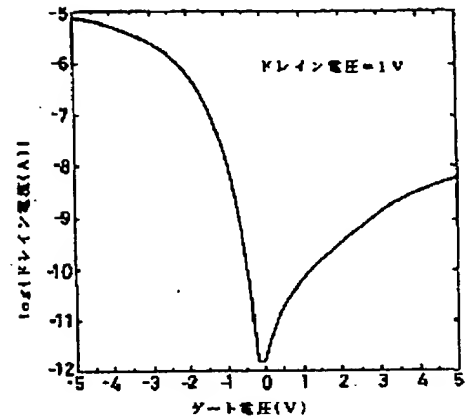
【图 16】



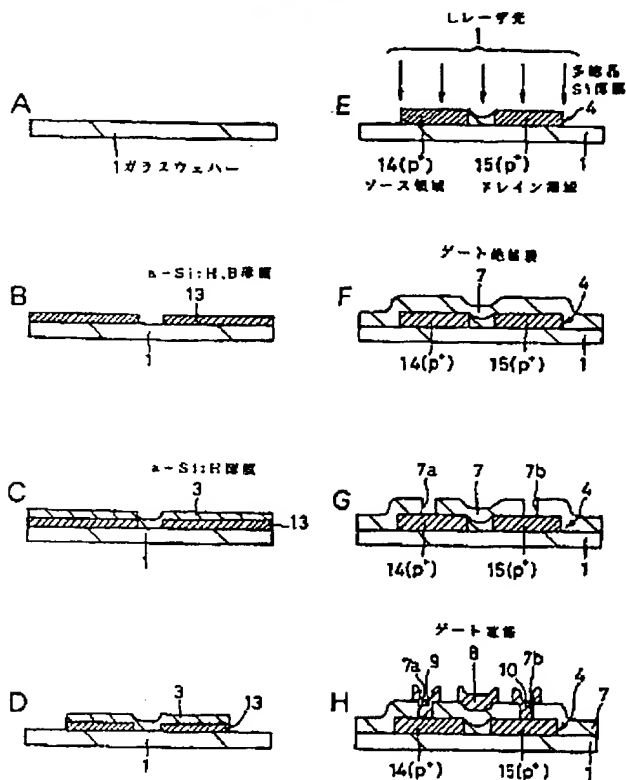
【図19】



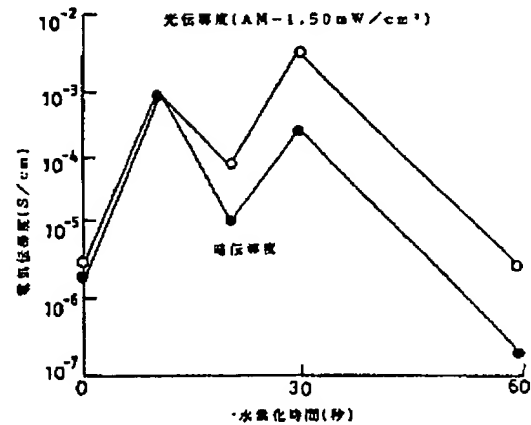
【図21】



【図20】



【図22】



フロントページの続き

(51) Int. Cl. 6

H01L 21/324
21/336

識別記号 庁内整理番号
Z

F I

技術表示箇所

(72) 発明者 香野 淳

東京都品川区北品川 6 丁目 7 番 35 号 ソニ
ー株式会社内

(72) 発明者 関谷 光信

東京都品川区北品川 6 丁目 7 番 35 号 ソニ
ー株式会社内

(72)発明者 金谷 康弘
東京都品川区北品川 6 丁目 7 番 35 号 ソニ
ー株式会社内

(72)発明者 矢野 三千久
東京都品川区北品川 6 丁目 7 番 35 号 ソニ
ー株式会社内